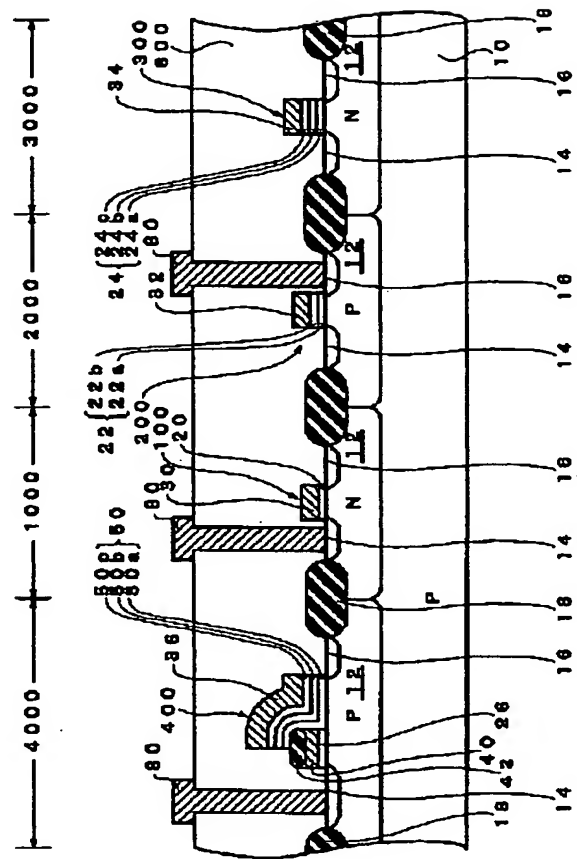


# EUROPEAN PATENT OFFICE

## Patent Abstracts of Japan

PUBLICATION NUMBER : 2001007227  
PUBLICATION DATE : 12-01-01  
  
APPLICATION DATE : 23-06-99  
APPLICATION NUMBER : 11177148  
  
APPLICANT : SEIKO EPSON CORP;  
  
INVENTOR : YAMAZAKI ATSUSHI;  
  
INT.CL. : H01L 21/8247 H01L 29/788 H01L  
29/792 H01L 27/115  
  
TITLE : NON-VOLATILE SEMICONDUCTOR  
STORAGE DEVICE



ABSTRACT : PROBLEM TO BE SOLVED: To provide a non-volatile semiconductor storage device in which interface states of a tunnel insulating layer with a floating gate and a control gate are low, operations are stably performed and a cycle life of writing and erasing is long.

SOLUTION: This non-volatile semiconductor storage device (memory transistor) 400 is a non-volatile semiconductor storage device with a split gate structure and has a source 16, drain 14, gate insulating layer 26, floating gate 40, intermediate insulating layer 50 functioning as a tunnel insulating layer, and control gate 36. The intermediate insulating layer 50 is composed of three insulating layers 50a, 50b, 50c. First and second outermost layers 50a, 50c brought into contact with the floating gate 40 and the control gate 36, respectively, are composed of silicon oxide layers formed by thermal oxidation. A selectively oxide insulating layer 42 is formed on the floating gate 40 by selective oxidation. The first and second outermost layers 50a, 50c have a silicon oxide layer 50b formed by the CVD method therebetween.

COPYRIGHT: (C)2001,JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-7227

(P2001-7227A)

(43) 公開日 平成13年1月12日 (2001.1.12)

(51) Int.Cl.<sup>7</sup>

識別記号

F I

テマコード<sup>\*</sup> (参考)

H 0 1 L 21/8247  
29/788  
29/792  
27/115

H 0 1 L 29/78  
27/10

3 7 1 5 F 0 0 1  
4 3 4 5 F 0 8 3

審査請求 未請求 請求項の数7 O L (全 14 頁)

(21) 出願番号 特願平11-177148

(22) 出願日 平成11年6月23日 (1999.6.23)

(71) 出願人 000002369

セイコーエプソン株式会社

東京都新宿区西新宿2丁目4番1号

(72) 発明者 古畑 智之

長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

(72) 発明者 山崎 厚

長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

(74) 代理人 100090479

弁理士 井上 一 (外2名)

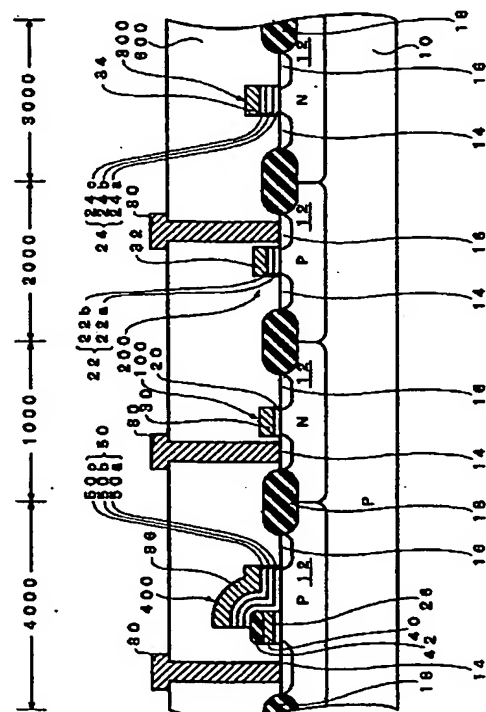
最終頁に続く

(54) 【発明の名称】 不揮発性半導体記憶装置

(57) 【要約】

【課題】 トンネル絶縁層と、フローティングゲートおよびコントロールゲートとの界面準位がそれぞれ低く、動作特性が安定して行われ、書き込みおよび消去のサイクル寿命が長い不揮発性半導体記憶装置を提供する。

【解決手段】 不揮発性半導体記憶装置 (メモリトランジスタ) 400は、スプリットゲート構造の不揮発性半導体記憶装置であって、ソース16、ドレイン14、ゲート絶縁層26、フローティングゲート40、トンネル絶縁層として機能する中間絶縁層50およびコントロールゲート36を有する。中間絶縁層50は、少なくとも3層の絶縁層50a、50b、50cからなる。フローティングゲート40およびコントロールゲート36にそれぞれ接する第1および第2の最外層50aおよび50cは熱酸化法によって形成された酸化シリコン層からなる。フローティングゲート40の上には、選択酸化法によって形成された選択酸化絶縁層42が形成されている。第1および第2の最外層50aおよび50cの間に、CVD法によって形成された酸化シリコン層50bを有する。



## 【特許請求の範囲】

【請求項1】 スプリットゲート構造の不揮発性半導体記憶装置であって、ソース、ドレイン、ゲート絶縁層、フローティングゲート、トンネル絶縁層として機能する中間絶縁層およびコントロールゲートを含み、

前記中間絶縁層は、少なくとも3層の絶縁層からなり、かつ、前記フローティングゲートおよび前記コントロールゲートにそれぞれ接する第1および第2の最外層は熱酸化法によって形成された酸化シリコン層からなる、不揮発性半導体記憶装置。

【請求項2】 請求項1において、

前記中間絶縁層は、前記第1および第2の最外層の間に、CVD(Chemical Vapor Deposition)法によって形成された酸化シリコン層を有する、不揮発性半導体記憶装置。

【請求項3】 請求項2において、

前記酸化シリコン層は、HTO(High Temperature Oxide)法またはTEOS(Tetraethyl Orthosilicate)法から選択されたCVD法によって形成された、不揮発性半導体記憶装置。

【請求項4】 請求項1～3のいずれかにおいて、

前記中間絶縁層は、その膜厚が16～45nmである、不揮発性半導体記憶装置。

【請求項5】 請求項1～4のいずれかにおいて、

前記中間絶縁層は、前記第1の最外層の膜厚が5～15nmであり、第2の最外層の膜厚が1～10nmである、不揮発性半導体記憶装置。

【請求項6】 請求項2～5のいずれかにおいて、

前記第1および第2の最外層の間に形成された前記酸化シリコン層の膜厚は10～20nmである、不揮発性半導体記憶装置。

【請求項7】 請求項1～6のいずれかにおいて、

前記フローティングゲートの上面に、選択酸化によって形成された選択酸化絶縁層が設けられた、不揮発性半導体記憶装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、スプリットゲート構造を有する不揮発性半導体記憶装置に関する。

## 【0002】

【背景技術および発明が解決しようとする課題】メモリセルが単一のトランジスタからなる、電気的に消去可能なROM(EEPROM)のひとつとして、スプリットゲート構造の不揮発性メモリトランジスタがある。この不揮発性メモリトランジスタは、フローティングゲートとコントロールゲートとを有し、両者の間にトンネル絶縁層として機能する絶縁層を有する。この不揮発性メモリトランジスタでは、たとえば、ゲート絶縁層を介してホットエレクトロンをフローティングゲートに注入することで、データの書き込みが行われ、FN伝導によって

フローティングゲートからトンネル絶縁層を介してコントロールゲートに電荷を引く抜くことにより、データの消去が行われる。

【0003】ところで、スプリットゲート構造の不揮発性メモリトランジスタでは、トンネル絶縁層としての酸化シリコン層は、たとえば熱酸化法によって所定の膜厚が得られにくい場合には、2層以上の酸化シリコン層を積層して形成されることがある。このような例として、たとえば特開平8-236647号公報に開示された技術がある。この技術では、トンネル絶縁層としての絶縁層は、CVD法によって形成された第1の酸化シリコン層と、熱酸化法によって形成された第2の酸化シリコン層とからなる。この不揮発性メモリトランジスタでは、CVD法で形成された第1の酸化シリコン層がコントロールゲートに接触した構造を有する。

【0004】通常、CVD法で形成された酸化シリコン層は、膜の密度が粗く、界面準位が高い。そのため、酸化シリコン層とコントロールゲートとの界面準位も高く不安定である。その結果、メモリセルでのデータの消去時に電子が界面に捕獲されやすく、書き込みおよび消去のサイクル寿命が短く、1万回程度であると予想される。一般に、プログラマブルメモリ素子では、10万回以上のサイクル寿命が要求される。したがって、上記の従来技術では、サイクル寿命が短く、耐久性の点で問題がある。

【0005】本発明の目的は、トンネル絶縁層とフローティングゲートとの界面準位、およびトンネル絶縁層とコントロールゲートとの界面準位がそれぞれ低く、動作特性が安定して行われ、書き込みおよび消去のサイクル寿命が長い、不揮発性半導体記憶装置を提供することにある。

## 【0006】

【課題を解決するための手段】本発明に係る不揮発性半導体記憶装置は、スプリットゲート構造の不揮発性半導体記憶装置であって、ソース、ドレイン、ゲート絶縁層、フローティングゲート、トンネル絶縁層として機能する中間絶縁層およびコントロールゲートを含み、前記中間絶縁層は、少なくとも3層の絶縁層からなり、かつ、前記フローティングゲートおよび前記コントロールゲートにそれぞれ接する第1および第2の最外層は熱酸化法によって形成された酸化シリコン層からなる。

【0007】このスプリットゲート構造の不揮発性半導体記憶装置においては、前記中間絶縁層は、少なくとも3層の絶縁層からなり、前記フローティングゲートおよび前記コントロールゲートにそれぞれ接する第1および第2の最外層は熱酸化法によって形成された酸化シリコン層からなる。これらの最外層が前記フローティングゲートおよび前記コントロールゲートに接することにより、それぞれの界面準位が低下する。その結果、メモリセルの動作時にトンネル絶縁層において電子が捕獲され

ることが少なくなり、FN伝導(Fowler-Nordheim tunneling)による電荷の移動が安定して行われ、不揮発性メモリトランジスタの動作が安定する。このことは、メモリトランジスタにおける、データの書き込みおよび消去を繰り返すことのできる回数(サイクル寿命)の増大に寄与する。

【0008】前記中間絶縁層は、前記第1および第2の最外層の間に、CVD法によって形成された酸化シリコン層を有することが望ましい。このような酸化シリコン層を有することにより、フローティングゲートとコントロールゲートとの間の耐圧を高め、メモリセルの書き込みおよび読み出しの動作時の誤動作、すなわちライトディスタ urb およびリードディスタ urb を防止できる。

【0009】CVD法で形成される前記酸化シリコン層は、膜質の特性(緻密さ、酸素イオンの透過耐性など)を考慮すると、たとえば、モノシランやテトラエトキシシランなどを用いたHTO(High Temperature Oxide)法、または酸化剤としてオゾンを用いたTEOS(Tetraethyl Orthosilicate)法やプラズマTEOS法などによって形成されることが望ましい。

【0010】前記中間絶縁層は、トンネル絶縁層の特性などを考慮すると、その膜厚がトータルで16~45nmであることが望ましい。

【0011】前記中間絶縁層を構成する前記第1の最外層の膜厚は5~15nmであり、第2の最外層の膜厚は、1~10nmであることが望ましい。また、前記第1および第2の最外層の間に形成された酸化シリコン層の膜厚は、10~20nmであることが望ましい。

【0012】前記フローティングゲートの上面に、選択酸化法によって形成された選択酸化絶縁層が設けられることが望ましい。この選択酸化絶縁層が形成されることにより、前記フローティングゲートの上縁部が鋭角になり、この領域で電界集中が生じやすくなり、電荷の移動がこの上縁部を介して行われる。

【0013】前記中間絶縁層の各層は、他の電界効果型トランジスタが混載される場合には、これらの電界効果型トランジスタの絶縁層を形成する工程で、同時に形成されることもできる。

【0014】本発明に係る半導体装置の製造においては、前記中間絶縁層の形成において、熱酸化法によって第1の最外層(酸化シリコン層)を形成し、次いでこの第1の最外層上に2層目の酸化シリコン層をCVD法によって形成した後、2層目の酸化シリコン層上に酸化シリコン層以外の絶縁層、たとえば、窒化シリコン層などからなる絶縁層が形成される工程が付加されることが望ましい。このように窒化シリコン層などの絶縁層を2層目の酸化シリコン層の上に設けることにより、不揮発性メモリトランジスタの中間絶縁層の膜厚を必要以上に厚くすることがなく、中間絶縁層の膜厚を正確に制御できる。また、2層目の酸化シリコン層の上に窒化シリコン

層を形成することにより、後工程での熱酸化もしくはその前後での洗浄工程において、酸化シリコン層は窒化シリコン層で覆われて保護されているので、熱酸化工程および洗浄工程の酸化シリコン層への影響を抑制できる。その結果、膜特性に優れたトンネル絶縁層を得ることができ、信頼性の高いメモリ特性を実現できる。さらに、2層目の酸化シリコン層の上に窒化シリコン層を形成した状態で、熱処理(酸化処理での熱処理も含む)を行うことにより、酸化シリコン層の緻密化ならびに酸化シリコン層の膜質の向上がなされる。その結果、メモリ特性、特にデータの書き込み、消去の回数(サイクル寿命)を増すことができる。

【0015】

【発明の実施の形態】(デバイスの構造)図1は、本発明に係る不揮発性半導体記憶装置を含む混載型の半導体装置の断面を模式的に示す図である。この半導体装置は、メモリ領域4000と、第1のトランジスタ領域1000、第2のトランジスタ領域2000および第3のトランジスタ領域3000とを含む。

【0016】メモリ領域4000は、スプリットゲート構造を有する不揮発性半導体記憶装置(以下、「メモリトランジスタ」という)400を含む。第1のトランジスタ領域1000は、第1の電圧レベルV1(絶対値で1.8~3.3V)で動作される第1の電圧型トランジスタ100を含む。第2のトランジスタ領域2000は、第2の電圧レベルV2(絶対値で2.5~5V)で動作する第2の電圧型トランジスタ200を含む。そして、第3のトランジスタ領域3000は、第3の電圧レベルV3(絶対値で10~15V)で動作される第3の電圧型トランジスタ300を含む。第1~第3の電圧型トランジスタ100、200、300が用いられる回路の具体例については、後に述べる。

【0017】メモリトランジスタ400、第1の電圧型トランジスタ100、第2の電圧型トランジスタ200および第3の電圧型トランジスタ300は、それぞれ、P型シリコン基板10内に形成されたウェル12内に形成されている。そして、メモリ領域4000、第1~第3のトランジスタ領域1000、2000および3000は、それぞれフィールド絶縁層18によって分離されている。また、各領域1000~4000内において、各トランジスタは所定のパターンで形成されたフィールド絶縁層(図示せず)によって分離されている。なお、図示の例では各トランジスタはウェル内に形成されているが、ウェルを必要としない場合には基板に形成されていてもよい。例えば、Nチャネル型のメモリトランジスタあるいはNチャネル型の第3の電圧型トランジスタは、ウェル内ではなく基板に形成されていてもよい。

【0018】第1~第3のトランジスタ領域1000、2000、3000およびメモリ領域4000においては、それぞれNチャネル型およびPチャネル型のトラン

ジスタを含むことができるが、図1においては説明を容易にするために、いずれか一方の導電型のトランジスタのみを図示している。

【0019】メモリトランジスタ400は、P型のウェル12内に形成されたN<sup>+</sup>型不純物拡散層からなるソース16およびドレイン14と、ウェル12の表面に形成されたゲート絶縁層26とを有する。このゲート絶縁層26上には、フローティングゲート40と、中間絶縁層50と、コントロールゲート36とが順次形成されている。

【0020】さらに、フローティングゲート40の上には、選択酸化絶縁層42が形成されている。この選択酸化絶縁層42は、後に詳述するように、フローティングゲートとなるポリシリコン層の一部に選択酸化によって形成され、中央から端部へ向けてその膜厚が薄くなる構造を有する。その結果、フローティングゲート40の上縁部は鋭角に形成され、この上縁部で電界集中が起きやすいようになっている。

【0021】メモリトランジスタ400のゲート絶縁層26の膜厚は、メモリトランジスタ400の耐圧などを考慮して、好ましくは6~9nmである。

【0022】中間絶縁層50は、選択酸化絶縁層42の上面からフローティングゲート40の側面に連続し、さらにシリコン基板10の表面に沿ってソース16の一端にいたるよう形成されている。この中間絶縁層50は、いわゆるトンネル絶縁層として機能する。さらに、中間絶縁層50は、3層の絶縁層(酸化シリコン層)からなり、下から順に、第1の絶縁層50a、第2の絶縁層50bおよび第3の絶縁層50cから構成されている。そして、第1および第3の絶縁層50aおよび50cは、熱酸化法によって形成された酸化シリコン層からなり、第2の絶縁層50bはCVD法によって形成された酸化シリコン層からなる。

【0023】中間絶縁層50は、トンネル絶縁層としての機能などを考慮すると、その膜厚が好ましくは16~45nmである。また、第1の絶縁層50aの膜厚は、好ましくは5~15nmであり、第2の絶縁層50bの膜厚は、好ましくは10~20nmであり、第3の絶縁層50cの膜厚は、好ましくは1~10nmである。

【0024】このようにトンネル絶縁層として機能する中間絶縁層50は、3層構造をなし、しかもフローティングゲート40およびコントロールゲート36に接する第1の絶縁層(第1の最外層)50aおよび第3の絶縁層(第2の最外層)50cは、熱酸化膜によって形成されている。このことにより、フローティングゲート40と第1の絶縁層50aとの界面準位が安定し、またコントロールゲート36と第3の絶縁層50cとの界面準位が安定する。その結果、FN伝導によるフローティングゲート40から中間絶縁層50を介してコントロールゲート36への電荷の移動が安定して行われ、メモリトラ

ンジスタ400の動作が安定する。このことは、メモリトランジスタ400における、データの書き込み/消去を繰り返すことのできる回数(サイクル寿命)の増大に寄与する。

【0025】また、中間絶縁層50が、CVD法によって形成された酸化シリコン層からなる第2の絶縁層50bを有することにより、フローティングゲート40とコントロールゲート36との間の耐圧を高め、メモリセルの書き込みおよび読み出しの動作時の誤動作、すなわちライトディスタ urbおよびリードディスタ urbを防止できる利点がある。

【0026】第1の電圧型トランジスタ100は、Pチャネル型MOSトランジスタを例にとると、N型のウェル12内に形成されたP<sup>+</sup>型不純物拡散層からなるソース16およびドレイン14と、第1のゲート絶縁層20と、第1のゲート電極30と、を有する。第1の電圧型トランジスタ100は、第1の電圧レベルV1(絶対値で1.8~3.3V)で駆動される。第1のゲート絶縁層20の膜厚は、第1の電圧型トランジスタ100の耐圧などを考慮して、好ましくは3~13nmである。

【0027】第2の電圧型トランジスタ200は、Nチャネル型MOSトランジスタを例にとると、P型のウェル12内に形成されたN<sup>+</sup>型不純物拡散層からなるソース16およびドレイン14と、第2のゲート絶縁層22と、第2のゲート電極32とを有する。第2のゲート絶縁層22は、2層の酸化シリコン層、すなわち第1の絶縁層22aと、第2の絶縁層22bとからなる。ここで、第2の絶縁層22bは、上述した第1の電圧型トランジスタ100の第1のゲート絶縁層20と同一の工程で形成される。

【0028】第2の電圧型トランジスタ200は、第2の電圧レベルV2(絶対値で2.5~5V)で駆動される。第2のゲート絶縁層22は、第2の電圧型トランジスタ200の耐圧などを考慮して、その膜厚が好ましくは4~15nmである。また、第1の絶縁層22aの膜厚は、好ましくは3~15nmであり、第2の絶縁層22bの膜厚は、好ましくは1~10nmである。

【0029】第3の電圧型トランジスタ300は、Pチャネル型MOSトランジスタを例にとると、N型のウェル12内に形成されたP<sup>+</sup>型不純物拡散層からなるソース16およびドレイン14と、第3のゲート絶縁層24と、第3のゲート電極34とを有する。第3のゲート絶縁層24は、3層の酸化シリコン層からなり、下から順に、第1の絶縁層24a、第2の絶縁層24bおよび第3の絶縁層24cからなる。これらの絶縁層24a、24bおよび24cは、上述したメモリトランジスタ400の中間絶縁層50を構成する第1の絶縁層50a、第2の絶縁層50bおよび第3の絶縁層50cと同じ工程で形成されることが望ましい。

【0030】第3の電圧型トランジスタ300は、第3

の電圧レベル $V_3$ (絶対値で10~15V)で駆動される。第3のゲート絶縁層24は、第3の電圧型トランジスタ300の耐圧などを考慮して、その膜厚が好ましくは16~45nmである。第1の絶縁層24aの膜厚は、好ましくは5~15nm、第2の絶縁層24bの膜厚は、10~20nm、および第3の絶縁層24cの膜厚は1~10nmである。

【0031】メモリトランジスタ400、第1~第3の電圧型トランジスタ100、200および300が形成されたウエハ1には、層間絶縁層600が形成されている。この層間絶縁層600には、ソース16、ドレイン14、および各トランジスタ100、200、300、400のゲート電極に到達するコンタクトホールが形成され、これらのコンタクトホール内にはコンタクト導電層が形成されている。そして、層間絶縁層600の上には所定パターンの配線層80が形成されている。なお、図1においては、一部のコンタクト導電層および配線層を図示している。

【0032】この半導体装置は、少なくとも3つの異なる電圧レベル( $V_1$ 、 $V_2$ 、 $V_3$ )で動作する第1~第3の電圧型トランジスタ100、200、300がそれぞれ形成された、第1~第3のトランジスタ領域1000、2000、3000を有する。この半導体装置によれば、メモリ領域4000のメモリトランジスタ400の動作が可能である。そして、この半導体装置では、フラッシュ(一括消去型)EEPROMの動作のためのロジックはもちろんのこと、フラッシュEEPROMと、各電圧レベルで動作可能な他の回路領域、たとえば、インターフェイス回路、ゲートアレイ回路、RAM、ROMなどのメモリ回路、RISC(Reduced Instruction Set Computer)あるいは各種IP(Intellectual Property)マクロなどの回路、あるいはその他のデジタル回路、アナログ回路などを、同一基板内に混載し、システムLSIを構成することができる。

【0033】以下に、メモリトランジスタの動作方法、本発明の半導体装置を適用したエンベデッド半導体装置および図1に示す半導体装置の製造方法について述べる。

【0034】(メモリエルの動作方法)次に、本発明の半導体装置を構成するメモリトランジスタ400の動作方法の一例について説明する。

【0035】このスプリットゲート構造のメモリトランジスタ400を動作させる場合には、データの書き込み時には、ソース16とドレイン14間にチャネル電流を流し、電荷(ホットエレクトロン)をフローティングゲート40に注入し、データの消去時には、所定の高電圧をコントロールゲート36に印加し、FN伝導によってフローティングゲート42に蓄積された電荷をコントロールゲート36に移動させる。以下に、各動作について述べる。

【0036】まず、書き込み動作について述べる。

【0037】データの書き込み動作においては、ドレイン14に対してソース16を高電位にし、コントロールゲート36に低電位を印加する。これにより、ドレイン14付近で発生するホットエレクトロンは、フローティングゲート40に向かって加速され、ゲート絶縁層26を介してフローティングゲート40に注入され、データの書き込みがなされる。

【0038】この書き込み動作では、例えば、コントロールゲート36の電位( $V_c$ )を2V、ソース16の電位( $V_s$ )を9V、ドレイン14の電位( $V_d$ )を0Vとする。また、ウエル12の電位( $V_{well}$ )を0Vとする。

【0039】次に、消去動作について説明する。

【0040】消去動作においては、ソース16およびドレイン14の電位に対してコントロールゲート36の電位を高くする。これにより、フローティングゲート40内に蓄積された電荷は、フローティングゲート40の先鋭な上縁部からFN伝導によって中間絶縁層50を突き抜けてコントロールゲート36に放出されて、データが消去される。

【0041】この消去動作では、例えば、コントロールゲート36の電位( $V_c$ )を12Vとし、ソース16およびドレイン14の電位 $V_s$ および $V_d$ を0Vとし、ウエル12の電位( $V_{well}$ )を0Vとする。

【0042】次に読み出し動作について説明する。

【0043】読み出し動作においては、ソース16に対してドレイン14を高電位とし、コントロールゲートに所定の電圧を印加することにより、チャネルの形成の有無によって書き込まれたデータの判定がなされる。すなわち、フローティングゲート40に電荷が注入されていると、フローティングゲート40の電位が低くなるため、チャネルが形成されず、ドレイン電流が流れない。逆に、フローティングゲート40に電荷が注入されていないと、フローティングゲート40の電位が高くなるため、チャネルが形成されてドレイン電流が流れる。そこで、ドレイン14から流れる電流をセンスアンプによって検出することにより、メモリトランジスタ400のデータを読み出すことができる。

【0044】読み出し動作においては、例えば、コントロールゲート36の電位( $V_c$ )は3Vとし、ソース16の電位( $V_s$ )を0Vとし、ドレイン14の電位( $V_d$ )を2Vとし、ウエル12の電位( $V_{well}$ )を0Vとする。

【0045】以上述べた各動作態様は一例であって、他の動作態様を採用することもできる。

【0046】(エンベデッド半導体装置への適用例)図14は、本発明の半導体装置が適用された、エンベデッド半導体装置5000のレイアウトを示す模式図である。この例では、エンベデッド半導体装置5000は、



フラッシュメモリ(フラッシュEEPROM)90と、SRAMメモリ92と、RISC94と、アナログ回路96と、インターフェイス回路98とがSOG(Sea of Gate)に混載されている。

【0047】図15は、フラッシュメモリの一般的な構成を示すブロック図である。フラッシュメモリは、メモリトランジスタが行列状に配置されたメモリセルアレイ1と、Yゲート、センスアンプ2と、入出力バッファ3と、Xアドレスデコーダ4と、Yアドレスデコーダ5と、アドレスバッファ6と、コントロール回路7を含む。

【0048】メモリセルアレイ1は、図1に示すメモリ領域4000に対応し、行列状に配置された複数のスプリットゲート構造のメモリトランジスタ400を有する。メモリセルアレイ1の行および列を選択するために、メモリセルアレイ1にはXアドレスデコーダ4とYゲート2とが接続されている。Yゲート2には列の選択情報を与えるYアドレスデコーダ5が接続されている。Xアドレスデコーダ4とYアドレスデコーダ5には、それぞれ、アドレス情報が一時格納されるアドレスバッファ6が接続されている。

【0049】Yゲート2には、データの書き込み動作を行なうための書き込み電圧発生回路(図示せず)、データの読み出し動作を行なうためのセンスアンプが接続されている。Xアドレスデコーダには、データの消去動作を行なうための消去電圧発生回路が接続されている。書き込み電圧発生回路およびセンスアンプ2には、それぞれ入出力データを一時格納する入出力バッファ3が接続されている。アドレスバッファ6と入出力バッファ3とには、フラッシュメモリの動作制御を行なうためのコントロール回路7が接続されている。コントロール回路7は、チップイネーブル信号、アウトプットイネーブル信号およびプログラム信号に基づいた制御を行なう。

【0050】このようなエンベデッド半導体装置500においては、各回路の動作電圧に応じて各電圧レベルのトランジスタが選択される。

【0051】第1の電圧レベルで動作される第1の電圧型トランジスタ100は、たとえば、Yゲート、センスアンプ、入出力バッファ、Xアドレスデコーダ、Yアドレスデコーダ、アドレスバッファ、コントロール回路、SOGおよびゲートアレイから選択される少なくとも1つの回路に含まれる。

【0052】第2の電圧レベルで動作される第2の電圧型トランジスタ200は、たとえば、Yゲート、センスアンプ、入出力バッファ、Xアドレスデコーダ、Yアドレスデコーダおよびインターフェイス回路から選択される少なくとも1つの回路に含まれる。

【0053】さらに、第3の電圧レベルで動作される第3の電圧型トランジスタ300は、たとえば、書き込み電圧発生回路、消去電圧発生回路および昇圧回路から選

択される少なくとも1つの回路に含まれる。

【0054】図14に示すエンベデッド半導体装置100はレイアウトの一例であって、本発明は各種の半導体LSIに適用できる。

【0055】(デバイスの製造方法)次に、図1に示す半導体装置の製造例を図2～図13を参照しながら説明する。

【0056】(A)まず、図2に示すように、シリコン基板10の表面に、選択酸化法によって所定の領域にフィールド絶縁層18を形成する。次いで、P型シリコン基板10内にP型不純物(例えばホウ素)あるいはN型不純物(ひ素あるいはリン)をドーピングして、所定の領域にP型またはN型のウエル12を形成する。

【0057】さらに、シリコン基板10の表面に、例えば熱酸化法によって酸化シリコン層26Lを形成する。この酸化シリコン層26Lは、メモリトランジスタ400のゲート絶縁層26となる。この酸化シリコン層26Lは、ゲート耐圧などを考慮して好ましくは6～9nmの厚さを有する。

【0058】(B)次いで、図3に示すように、酸化シリコン層26Lの表面に、例えばCVD法を用いてポリシリコン層40Lを形成する。このポリシリコン層40Lは、メモリトランジスタ400のフローティングゲート40となる。このポリシリコン層40Lは、例えば100～200nmの厚さを有する。

【0059】次いで、ポリシリコン層40Lの表面に、第1の窒化シリコン層60Lを形成する。第1の窒化シリコン層60Lは、好ましくは50～150nmの膜厚を有する。その後、レジスト層R1をマスクとして窒化シリコン層60Lの所定領域を選択的にエッチングして除去する。第1の窒化シリコン層60Lの除去される領域は、メモリトランジスタ400の選択酸化絶縁層42が形成される領域である。

【0060】次いで、第1の窒化シリコン層60L上に形成されたレジスト層R1をマスクとして、ポリシリコン層40Lにリンやひ素を拡散してN型のポリシリコン層40Lを形成する。ポリシリコン層をN型にする他の方法としては、ポリシリコン層を形成した後、リンやひ素イオンを注入する方法、ポリシリコン層を形成した後、塩化ホスホリル( $\text{POCl}_3$ )を含んだキャリアガスを導入する方法、あるいはポリシリコン層を形成する時に、ホスフィン( $\text{PH}_3$ )を含んだキャリアガスを導入する方法、などがある。

【0061】次いで、レジスト層R1を除去する。

【0062】(C)次いで、図4に示すように、ポリシリコン層40Lの露出部分を選択的に酸化することにより、ポリシリコン層40Lの所定領域の表面に選択酸化絶縁層42を形成する。選択酸化によって形成された選択酸化絶縁層42は、中央部の膜厚が最も大きく、端部に向かって徐々に膜厚が小さくなる形状を有する。選択

酸化絶縁層42は、最も膜厚が大きい部分で好ましくは100~200nmの膜厚を有する。その後、第1の窒化シリコン層60Lを除去する。

【0063】(D) 次いで、図5に示すように、選択酸化絶縁層42をマスクとしてエッチングを行ない、ポリシリコン層40Lを選択的に除去する。

【0064】以上の工程で、メモリ領域4000において、ゲート絶縁層26、フローティングゲート40および選択酸化絶縁層42が形成される。

【0065】(E) 次いで、図6に示すように、酸化シリコン層26Lをウェットエッチングで除去した後、ウエハの表面に、熱酸化法によって1層目の酸化シリコン層50aL(24aL)を形成する。この酸化シリコン層50aL(24aL)は、メモリトランジスタ400の中間絶縁層50を構成する第1の絶縁層50a、および第3の電圧型トランジスタ300のゲート絶縁層24を構成する第1の絶縁層24aとなる。この酸化シリコン層50aL(24aL)は、例えば5~15nmの厚さを有する。

【0066】酸化シリコン層を形成するための熱酸化法としては、以下の方法を好ましく用いることができる。

【0067】(a) 700~1000℃でのドライ酸化を行う方法、(b) 上記(a)のドライ酸化の後に、さらに、700~1000℃でウェット酸化を行う方法、および(c) 上記(a)または(b)の後に、さらに、700~1000℃で窒素雰囲気中で10~30分間アニール処理する方法。

【0068】上記(a)のドライ酸化を用いることにより、フローティングゲート40の表面の多結晶シリコンのグレインサイズを均一化でき、さらにフローティングゲート40の表面の平坦性を向上させることができる。その結果、フローティングゲート40の界面準位がより安定化するとともに、電子の捕獲が低減でき、メモリトランジスタの書き込み/消去のサイクル寿命をより長くすることができる。

【0069】さらに、上記(a)のドライ酸化の後に、上記(b)のウェット酸化および上記(c)のアニール処理の少なくとも一方の工程を追加することにより、酸化シリコン層50aLをより緻密化して、電子捕獲の低減など、膜質の特性を向上させることができる。

【0070】(F) 次いで、図7に示すように、1層目の酸化シリコン層50aL(24aL)の表面に、さらに2層目の酸化シリコン層50bL(24bL)を形成する。この酸化シリコン層50bL(24bL)は、CVD法により形成される。酸化シリコン層50bL(24bL)は、メモリトランジスタ400の中間絶縁層50を構成する第2の絶縁層50b、および第3の電圧型トランジスタ300のゲート絶縁層24を構成する第2の絶縁層24bとなる。そして、このシリコン絶縁層50bL(24bL)は、例えば10~20nmの厚さを

有する。

【0071】ここで用いられるCVD法としては、得られる膜の緻密さ、後工程の熱酸化での酸素イオンの透過耐性等を考慮すると、モノシラン、テトラエトキシシランなどを用いたHTO(High Temperature Oxide)法、または酸化剤としてオゾンを用いたTEOS(Tetraethyl Orthosilicate)法やプラズマTEOS法などを好ましく用いることができる。

【0072】次いで、酸化シリコン層50bL(24bL)の表面に、第2の窒化シリコン層62Lを形成する。この第2の窒化シリコン層62Lは、好ましくは10~20nmの膜厚を有する。第2の窒化シリコン層62Lを形成することにより、後の工程(I)で、第2の窒化シリコン層62Lを除去することにより、メモリトランジスタ400の中間絶縁層50および第3の電圧型トランジスタ300のゲート絶縁層24の膜厚を必要以上に厚くすることがなく、膜厚の制御が正確となる。その後、700~1000℃で20~40分間程度アニール処理を行い、各絶縁層を緻密にする。

【0073】(G) 次いで、図8に示すように、第2のトランジスタ領域2000に開口部を有するレジスト層R3を形成する。このレジスト層R3をマスクとして第2のトランジスタ領域2000における、第2の窒化シリコン層62L、上層の酸化シリコン層50bLおよび下層の酸化シリコン層50aLをドライエッチングおよびウェットエッチングにより除去する。その後、レジスト層R3を除去する。

【0074】(H) 次いで、図9に示すように、ウエハの表面に熱酸化、例えば700~900℃でウェット酸化することによって、3層目の酸化シリコン層22aLを形成する。この酸化シリコン層22aLは、第2の電圧型トランジスタ200のゲート絶縁層22を構成する第1の絶縁層22aとなる。酸化シリコン層22aLは、例えば3~15nmの厚さを有する。

【0075】(I) 次いで、図10に示すように、第2のトランジスタ領域2000における酸化シリコン層22aLの表面に、レジスト層R4を形成する。レジスト層R4をマスクとして、第2の窒化シリコン層62Lをドライエッチングによって除去する。その後、レジスト層R4を除去する。

【0076】(J) 次いで、図11に示すように、第1のトランジスタ領域1000に開口部を有するレジスト層R5を形成する。このレジスト層R5をマスクとして、第1のトランジスタ領域1000における2層の酸化シリコン層50bLおよび50aLをウェットエッチングによって除去する。その後、レジスト層R5を除去する。

【0077】(K) 次いで、図12に示すように、熱酸化、例えば700~900℃でウェット酸化することにより、ウエハの表面に4層目の酸化シリコン層20L



(50cL, 22bL, 24cL)を形成する。この酸化シリコン層20Lは、第1の電圧型トランジスタ100のゲート絶縁層20、第2の電圧型トランジスタ200のゲート絶縁層22を構成する第2の絶縁層22b、第3の電圧型トランジスタ300のゲート絶縁層24を構成する第3の絶縁層24c、およびメモリトランジスタ400の中間絶縁層50を構成する第3の絶縁層50cとなる。酸化シリコン層20Lは、例えば1~10nmの厚さを有する。

【0078】以上の工程によって、メモリトランジスタ400の中間絶縁層50、第1の電圧型トランジスタ100のゲート絶縁層20、第2の電圧型トランジスタ200のゲート絶縁層22および第3の電圧型トランジスタ300のゲート絶縁層24を構成するための絶縁層が形成される。

【0079】(L)次いで、図13に示すように、ウエハの表面に、前記(C)の工程で述べたと同様な方法によりポリシリコン層を形成する。あるいは公知の方法でポリシリコン層の代わりに、ポリサイド層を形成する。このポリシリコン層上に所定のハターンを有するレジスト層を形成した後、エッチングによってパターンニングを行って、メモリトランジスタ100、第1の電圧型トランジスタ100、第2の電圧型トランジスタ200および第3の電圧型トランジスタ300のそれぞれのゲート絶縁層とゲート電極を形成する。このとき、シリコン基板10の露出面に、シリコン酸化層が1~5nmの膜厚で残る状態でエッチングが行われる。

【0080】(M)次いで、図1に示すように、公知の方法により、Nチャネル型トランジスタにはN型不純物を、Pチャネル型トランジスタにはP型不純物を、所定のウェル12にドーピングすることにより、ソース16およびドレイン14を構成する不純物拡散層を形成する。

【0081】次いで、トランジスタ100、200、300およびメモリトランジスタ400が形成されたウエハの表面に、例えばCVD法を用いて酸化シリコン層からなる層間絶縁層60を形成する。そして、層間絶縁層60の所定領域を選択的にエッチング除去し、ソース16およびドレイン14に到達するコンタクトホールを形成する。次いで、層間絶縁層60の上面およびコンタクトホール内に例えばスパッタリングを用いてアルミニウムなどからなる導電層を堆積する。この、導電層をパターンニングすることにより、不純物拡散層と電気的に接続された金属配線層(例えばビット線、ソース線)80を形成する。

【0082】以上述べた製造方法においては、メモリ領域4000、第1のトランジスタ領域1000、第2のトランジスタ領域2000および第3のトランジスタ領域3000で、それぞれメモリトランジスタ400、第1の電圧型トランジスタ100、第2の電圧型トランジスタ200および第3の電圧型トランジスタ300を一

連の工程で形成することができる。この製造方法によれば、スプリットゲート構造を有するメモリトランジスタと少なくとも異なる3つの電圧レベルで動作するトランジスタを混載した半導体装置を少ない工程で製造することができる。

【0083】この製造方法においては、第2の電圧型トランジスタ200のゲート絶縁層22を構成する第2の絶縁層22bは、第1の電圧型トランジスタ100のゲート絶縁層20と同一の工程で形成される。同様に、第3の電圧型トランジスタ300のゲート絶縁層24を構成する第3の絶縁層24c、およびメモリトランジスタ400の中間絶縁層50を構成する第3の絶縁層50cは、第1の電圧型トランジスタ100のゲート絶縁層20と同一の工程で形成される。また、第3の電圧型トランジスタ300のゲート絶縁層24を構成する第1~第3の絶縁層24a、24b、24cは、メモリトランジスタ400の中間絶縁層50を構成する第1~第3の絶縁層50a、50b、50cと、それぞれ同一の工程で形成される。このようにゲート絶縁層および中間絶縁層の形成工程を共通化することにより、耐圧の異なる、すなわち膜厚の異なるゲート絶縁層を少ない工程で形成することができる。

【0084】この製造方法においては、前記工程(E)および(F)で、中間絶縁層(トンネル絶縁層)50の第1および第2の絶縁層50aおよび50bを構成するための酸化シリコン層50aLおよび50bLを形成した後、第2の窒化シリコン層62Lを形成する。このことにより、後工程での熱酸化もしくはその前後での洗浄工程において、酸化シリコン層50aLおよび50bLは窒化シリコン層62Lで覆われて保護されているので、熱酸化工程および洗浄工程の酸化シリコン層への影響を抑制できる。その結果、膜特性に優れたトンネル絶縁層を得ることができ、信頼性の高いメモリ特性を実現できる。

【0085】さらに、酸化シリコン層50aLおよび50bLの上に第2の窒化シリコン層62Lを形成した状態で、熱処理(酸化処理での熱処理も含む)を行うことにより、酸化シリコン層の緻密化ならびに酸化シリコン層の膜質の向上がなされる。その結果、メモリ特性、特にデータの書き込み、消去の回数(サイクル寿命)を増すことができる。

【図面の簡単な説明】

【図1】本発明に係る半導体装置を模式的に示す断面図である。

【図2】図1に示す半導体装置の製造工程を示すウエハの断面図である。

【図3】図1に示す半導体装置の製造工程を示すウエハの断面図である。

【図4】図1に示す半導体装置の製造工程を示すウエハの断面図である。

【図5】図1に示す半導体装置の製造工程を示すウエハの断面図である。

【図6】図1に示す半導体装置の製造工程を示すウエハの断面図である。

【図7】図1に示す半導体装置の製造工程を示すウエハの断面図である。

【図8】図1に示す半導体装置の製造工程を示すウエハの断面図である。

【図9】図1に示す半導体装置の製造工程を示すウエハの断面図である。

【図10】図1に示す半導体装置の製造工程を示すウエハの断面図である。

【図11】図1に示す半導体装置の製造工程を示すウエハの断面図である。

【図12】図1に示す半導体装置の製造工程を示すウエハの断面図である。

【図13】図1に示す半導体装置の製造工程を示すウエハの断面図である。

【図14】本発明の半導体装置を適用したエンベデット半導体装置の一例を模式的に示す平面図である。

【図15】図14に示すエンベデット半導体装置のフラッシュメモリのブロック図である。

【符号の説明】

10 シリコン基板

12 ウェル

14 ドレイン

16 ソース

18 フィールド絶縁層

20, 22, 24, 26 ゲート絶縁層

22a, 22b 絶縁層

24a, 24b, 24c 絶縁層

30, 32, 34 ゲート電極

36 コントロールゲート

40 フローティングゲート

42 選択酸化絶縁層

50 中間絶縁層

50a, 50b, 50c 絶縁層

60L, 62L 窒化シリコン層

90 フラッシュメモリ

100 第1の電圧型トランジスタ

200 第2の電圧型トランジスタ

300 第3の電圧型トランジスタ

400 スプリットゲート構造のメモリトランジスタ

1000 第1のトランジスタ領域

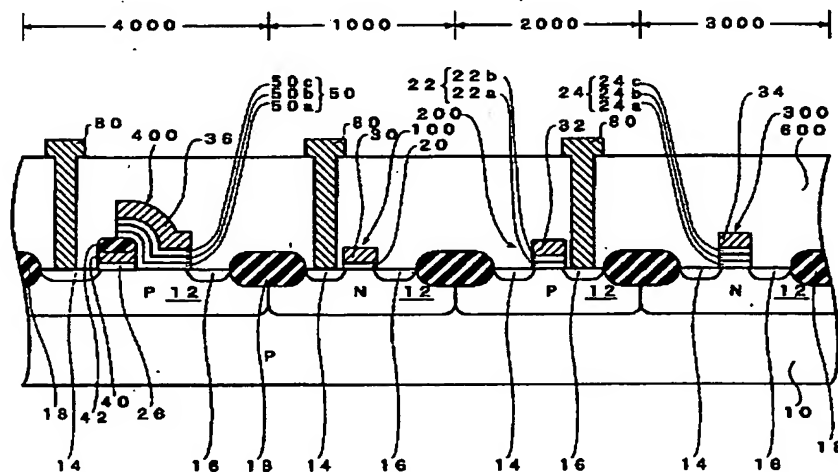
2000 第2のトランジスタ領域

3000 第3のトランジスタ領域

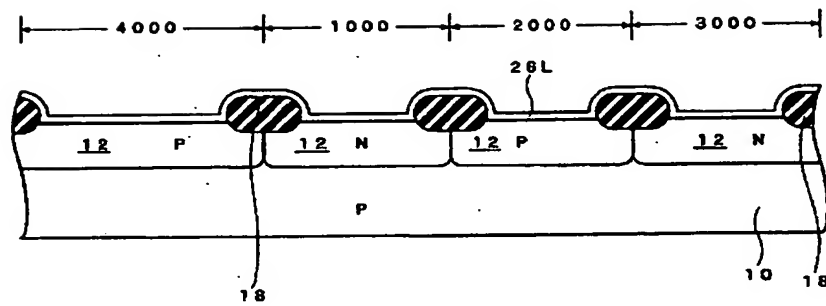
4000 メモリ領域

5000 エンベデット半導体装置

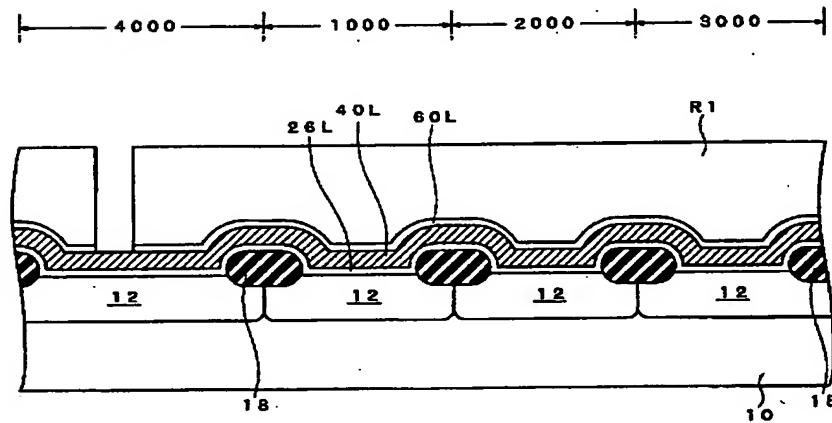
【図1】



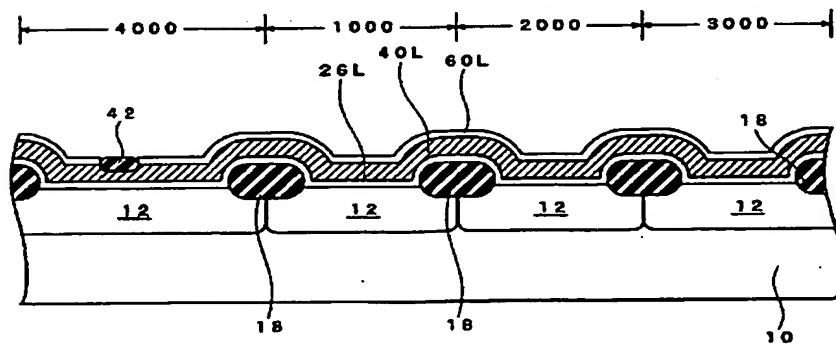
【図2】



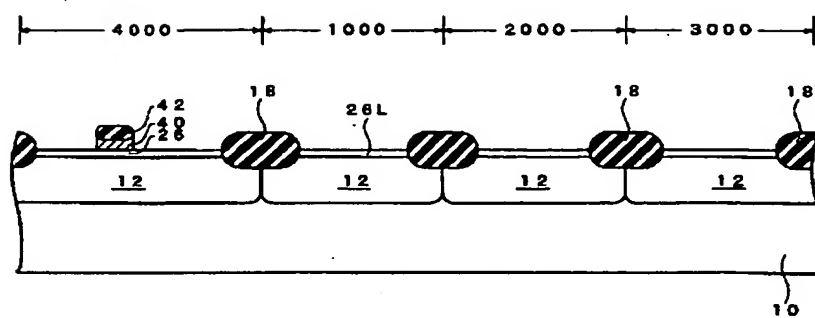
【図3】



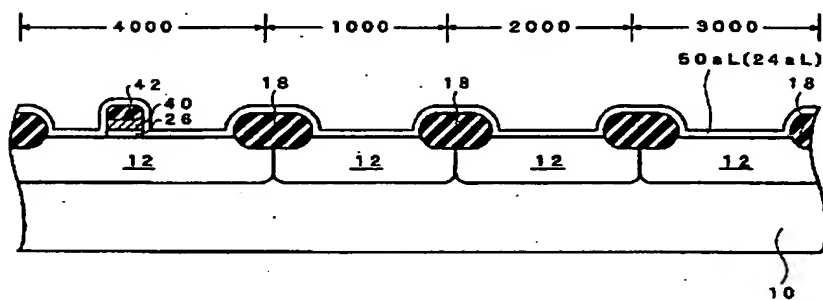
【図4】



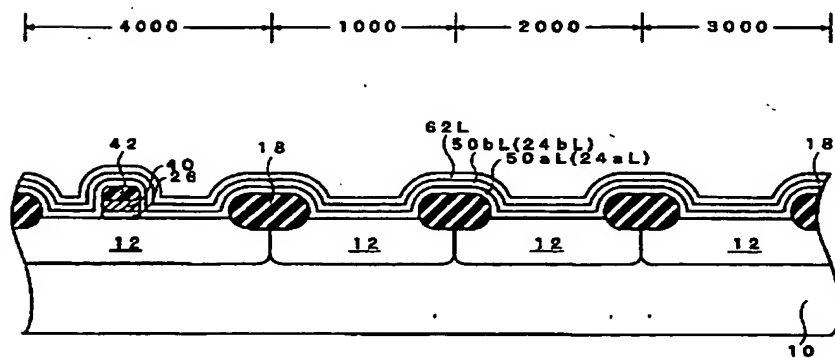
【図5】

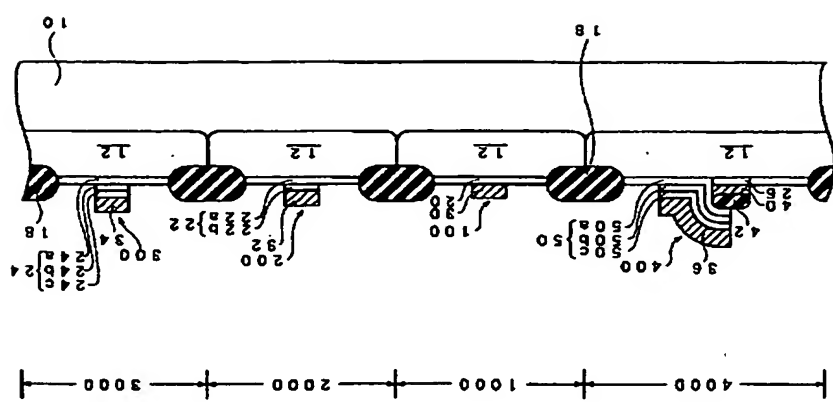


【図6】

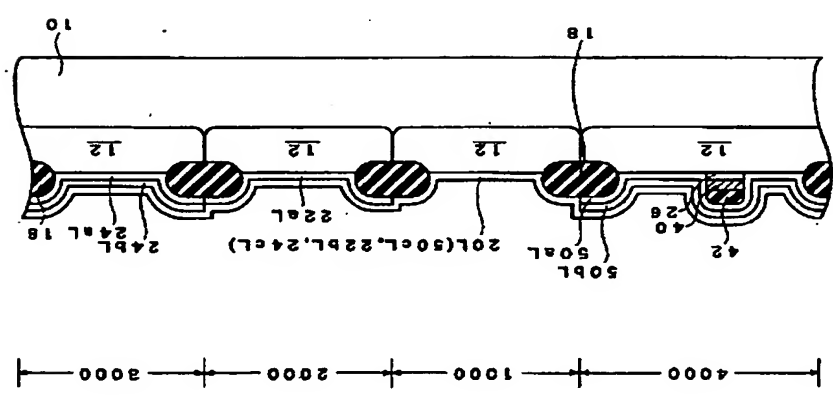


【図7】

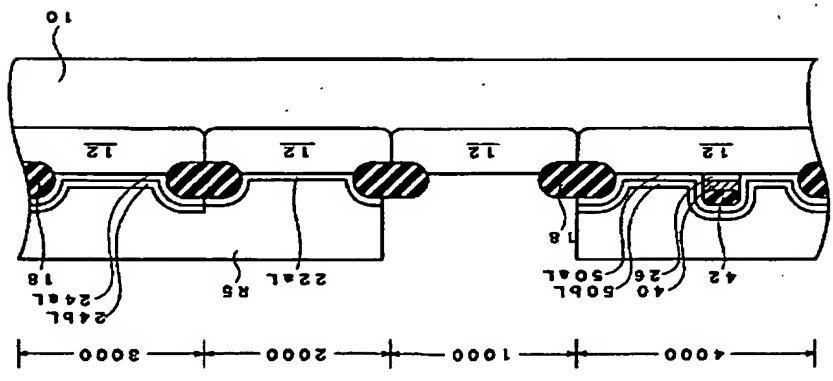




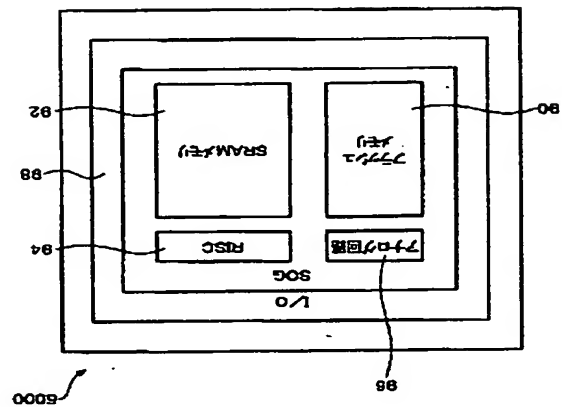
【図13】



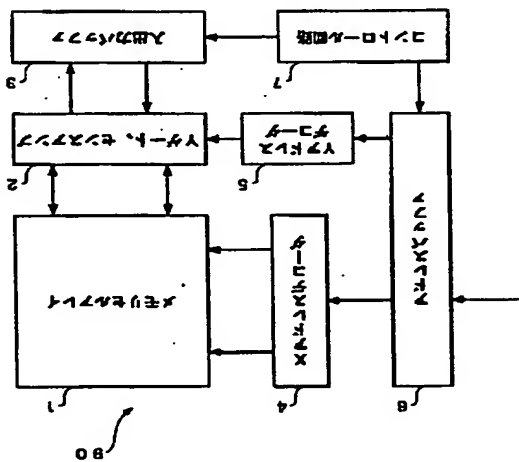
【図12】



【図11】



【図14】

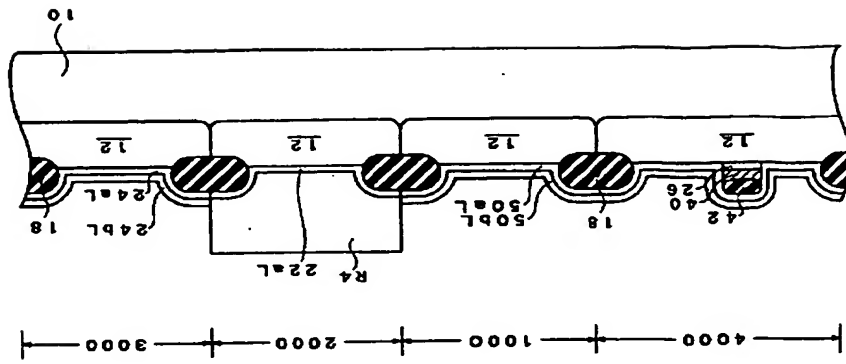


【図15】

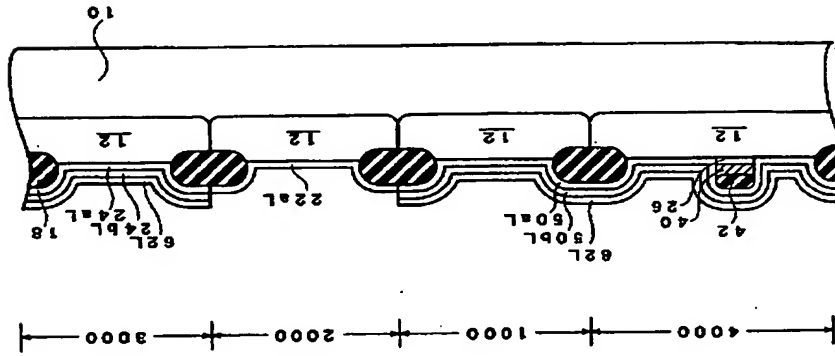
フロントページの続き

フロントページの続き  
 Fターム(参考) 5F001 AA06 AA08 AA22 AA25 AA33  
 AA43 AA63 AB03 AC02 AC06  
 AC20 AD03 AD12 AD41 AD62  
 AE08 AF06 AF07 AG02 AG21  
 AG30 AG40  
 5F083 EP02 EP26 EP54 EP55 EP56  
 EP57 ER02 ER09 ER14 ER17  
 ER22 GA21 GA30 JA02 JA03  
 JA04 LA26 MA06 MA20 NA02  
 PR12 PR21 PR33 PR43 PR46  
 PR49 PR53 PR54 PR56 ZA07  
 ZA08 ZA12 ZA13 ZA14 ZA15

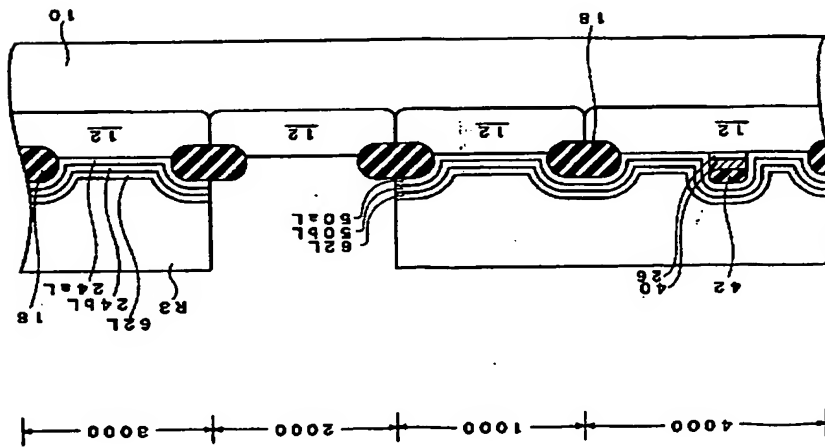




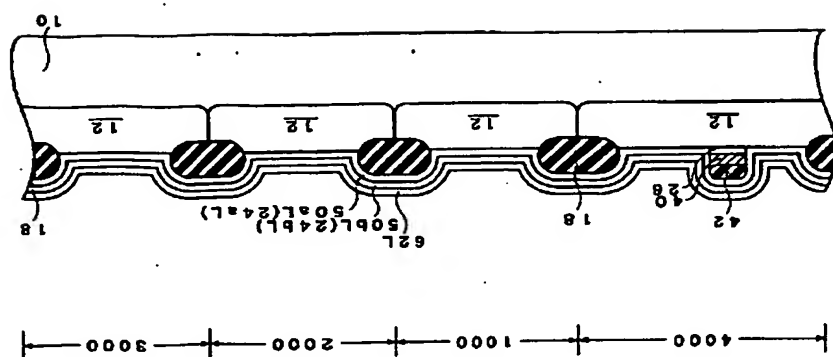
【図10】



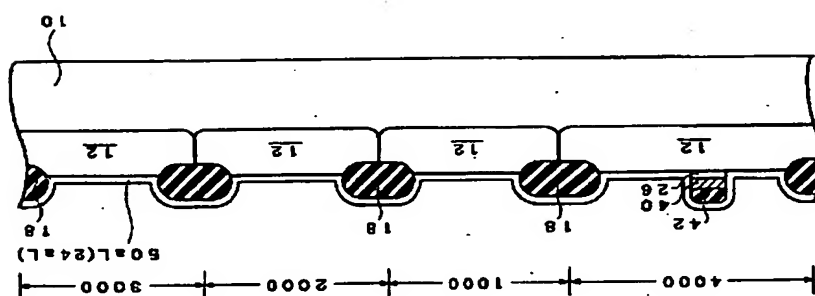
【図9】



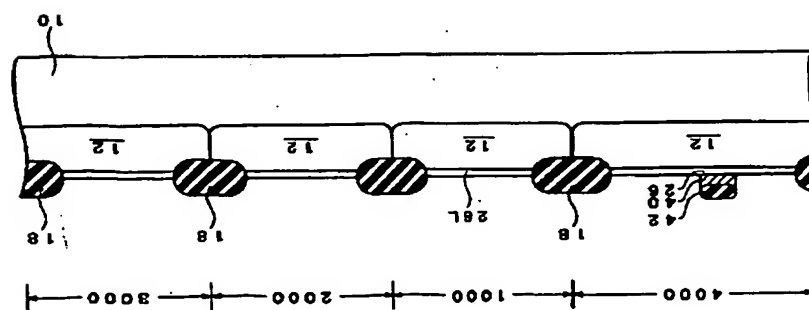
【図8】



【図7】



【図6】



【図5】